

## Introduzione alla programmazione FPGA con VHDL

### Obiettivi

Il corso si propone di fornire le nozioni basilari della programmazione di dispositivi programmabili di tipo FPGA. Sarà inizialmente presentata la metodologia per la programmazione di firmware, illustrando i vari stadi: la descrizione dell'algoritmo tramite linguaggi ad alto livello, la simulazione, la sintesi, l'implementazione ("place and route"), il "timing constraint" e il debug in hardware. Verranno presentati gli strumenti software forniti dai principali produttori di dispositivi FPGA. Il corso verterà principalmente sull'insegnamento del linguaggio ad alto livello VHDL, mostrando non solo la sintassi, le istruzioni e i costrutti tipici ma anche esempi pratici atti a mostrare la corretta descrizione di algoritmi specifici e strutture digitali. L'insegnamento del linguaggio vero e proprio tratterà la sintassi base: tipi, operatori, istruzioni concorrenti e sequenziali, gerarchia. Contemporaneamente verranno approfonditi i metodi di corretta descrizione in linguaggio VHDL di circuiti combinatori, sincroni e di macchine a stati finiti, attraverso esempi pratici. Verrà inoltre spiegato e affrontato il problema dei "timing constraints" e della relativa "timing closure" di un firmware, evidenziando le criticità e le corrette metodologie nell'affrontare il problema. Il corso terminerà con il mostrare due tecniche distinte di verifica dei progetti in FPGA: la simulazione pre-implementazione dell'algoritmo e la verifica in hardware tramite gli analizzatori di stati logici integrati nel firmware stesso.

### Target

Il corso è rivolto ai dipendenti INFN, principalmente giovani ricercatori e tecnologi, con limitata o nessuna esperienza nel campo della programmazione di FPGA e nel disegno di firmware. Il corso si rivolge anche a coloro che, pur avendo una minima esperienza, ritengono necessario approfondire la corretta metodologia di disegno, implementazione e verifica di progetti in FPGA.

### Pagina web:

<http://www-ceb.bo.infn.it/corsi.html>

### Date

12-13-14-15 giugno 2018

### N. partecipanti

20

### Responsabile:

Riccardo Travaglini – tel. 051 2095275  
riccardo.travaglini@bo.infn.it

### Segreteria organizzativa:

Mariella Gangi – tel. 061 2095069  
mariella.gangi@bo.infn.it

### Docenti dipendenti:

Gabriele Balbi  
Davide Falchieri  
Ignazio Lax  
Riccardo Travaglini

### Streaming:

Sì  No

### Sede:

Il corso si terrà presso l' Aula d'informatica, piano 0, Dipartimento di Fisica di via Irnerio 46 Bologna

## PROGRAMMA

12 giugno 2018

Pomeriggio

14.00 – 15.00 (Falchieri) Cosa sono FPGA; cosa vuol dire programmarli (linguaggi alto livello, cores, ...) , sintesi, simulazione, implementazione, timing closure, debug. Overview di Xilinx Vivado e Altera Quartus.

15.00 16.00 (Travaglini) Sintassi base del VHDL; librerie; entity e architectures; architetture strutturali e gerarchia;

16.00 16.30 Coffee break

16.30 17.30 (Balbi) Simulazione e Hardware Debug

13 giugno 2018

Mattina

9.30 – 10.30 (Lax) Descrizione di circuiti combinatori: tipi, operatori, istruzioni concorrenti, istruzioni sequenziali, esempi.

10.30 11.00 Coffee break

11.00 – 13.00 (Lax) Semplice test bench e pratica di simulazione degli esempi di circuiti combinatori.

Pomeriggio

14.30 15.30 (Falchieri) Circuiti sincroni con esempi

15.30 16.00 Coffee break

16.00 18.00 (Falchieri) Esercizi su circuiti sincroni

14 giugno 2018

Mattina

9.30 – 10.30 (Balbi) Macchine a stati finiti con esempi

10.30 11.00 Coffee break

11.00 – 13.00 (Balbi) Esercizi su macchine a stati finiti

Pomeriggio

14.30 15.30 (Travaglini) Constraints e timing closure: teoria

15.30 16.00 Coffee break

16.00 18.00 (Travaglini) Esempi pratici di constraints e timing closure

15 giugno 2018

Mattina

9.30 – 10.30 (Travaglini ) Testbench: funzioni, procedure, file I/O

10.30 11.00 Coffee break

11.00 13.00 Hot topics nelle programmazione di FPGA

- Travaglini (30') : interfacce esterne e VHDL per operazioni aritmetiche

- Lax (30') : IP cores

- Balbi (30') : "hello world" su ARM

- Falchieri (30') : stile di VHDL sintetizzabile

