

Codice	Esperimento	Gruppo
	TOTEMRISC	5

Struttura PADOVA
Gr. coll. TRENTO

Rappresentante Nazionale: IGNAZIO LAZZIZZERA

Struttura di appartenenza: TRENTO

Posizione nell'I.N.F.N.: INC. DI RICERCA

Ricercatore responsabile locale: IGNAZIO LAZZIZZERA

INFORMAZIONI GENERALI

Linea di ricerca	DISPOSITIVI NEURALI VLSI INTEGRATI CON PROCESSORI RISC "ON CHIP"
Laboratorio ove si raccolgono i dati	
Sigla dello esperimento assegnata dal Laboratorio	TOTEMRISC
Acceleratore usato	
Fascio (sigla e caratteristiche)	
Processo fisico studiato	TRIGGER IN HEP
Apparato strumentale utilizzato	
Sezioni partecipanti all'esperimento	GRUPPO COLL. DI TRENTO
Istituzioni esterne all'Ente partecipanti	NEURICAM Srl UNIVERSITA' DI VERONA UNIVERSITA' DI KENT (UK) EUROTECH Srl
Durata esperimento	2 ANNI

Codice	Esperimento	Gruppo
	TOTEMRISC	5

Struttura PADOVA
Gr. coll. TRENTO

PREVENTIVO LOCALE DI SPESA PER L'ANNO
2001
In ML

VOCI DI SPESA	DESCRIZIONE DELLA SPESA					IMPORTI		A cura della Comm.ne Scientifica Nazionale	
						Parziali	Totale Compet.		
Viaggi e missioni	Interno	COLLABORAZIONE CON CDF DI PADOVA UNIV. VERONA CONGRESSI NAZIONALI					4	4	
		Estero	CONTATTI CON FONDERIE CONGRESSI					3 4	
Materiale Consumo	FABBRICAZIONE SILICIO 0.35 µm					65	65		
Trasp.e facch.									
Spese Calcolo	Consorzio	Ore CPU	Spazio Disco	Cassette	Altro				
Affitti e manutenz. apparecchiati.									
Materiale Inventariabile									
Costruzione Apparati									
Totale							76		
Note:									

Codice	Esperimento	Gruppo
	TOTEMRISC	5

Struttura PADOVA
Gr. coll. TRENTO

PREVISIONE DI SPESA: PIANO FINANZIARIO LOCALE
PER GLI ANNI DELLA DURATA DEL PROGETTO

In ML

ANNI FINANZIARI	Miss. interno	Miss. estero	Mater. di cons.	Trasp.e Facch.	Spese Calcolo	Affitti e manut. appar.	Mat. inventar.	Costruz. apparati	TOTALE Competenza
2000	4	6	135						145
2001	4	7	65						76
TOTALI	8	13	200						221

Note:

Osservazioni del Direttore della Struttura in merito alla disponibilità di personale e di attrezzature:

Non sono state avanzate richieste.

Mod. EC. 3

(a cura del responsabile locale)

Codice	Esperimento	Gruppo
	TOTEMRISC	5

Struttura PADOVA
Gr. coll. TRENTO

PREVENTIVO GLOBALE PER L'ANNO 2001

In ML

Struttura	A CARICO DELL' I.N.F.N.									A carico di altri Enti
	Miss. interno	Miss. estero	Mater. di cons.	Trasp. e Facch.	Spese Calc.	Affitti e Manut. Appar.	Mater. inventar.	Costruz. appar.	TOTALE Compet.	
TRENTO	4	7	65						76	*
TOTALI	4	7	65						76	

NB. La colonna **A carico di altri Enti** deve essere compilata **obbligatoriamente**

Note: * 6 mesi.uomo: NEURICAM

Codice	Esperimento	Gruppo
	TOTEMRISC	5

Struttura PADOVA
Gr. coll. TRENTO

A) ATTIVITA' SVOLTA NELL'ANNO 2000

AL 15.6.2000:

- LAYOUT DEL PROCESSORE A 0.35 μm COMPLETO AL 85%
- MEMORIA STATICA FABBRICATA IN AMS (TEST PREVISTI IN LUGLIO 2000)
- ACQUISIZIONE CELLA IP DEL PROCESSORE RISC IN CORSO

FORNITORI INVESTIGATI:

1. ARM, LA CUI DISPONIBILITA' IN AMS SARA' IN DATA IN ATTESA DI CONFERMA
2. ARC, IL CUI COSTO APPARE OLTRE LE DISPONIBILITA'
3. OPENCORES, UN "OPEN DOMAIN" DI CUI SI STA STUDIANDO LA COMPLETEZZA

B) ATTIVITA' PREVISTA PER L'ANNO 2001

SERVIZIO FABBRICAZIONE A 0.35 μm

C) FINANZIAMENTI GLOBALI AVUTI NEGLI ANNI PRECEDENTI

In ML

Anno Finanziario	Missioni interno	Missioni estero	Materiale di consumo	Trasp. e Facch.	Spese Calcolo	Affitti e Manut. Apparec.	Materiale inventar.	Costruz. apparati	TOTALE
TOTALE									

Codice	Esperimento	Gruppo
	TOTEMRISC	5

Struttura PADOVA
Gr. coll. TRENTO

PREVISIONE DI SPESA

Piano finanziario globale di spesa

In ML

ANNI FINANZIARI	Miss. interno	Miss. estero	Materiale di cons.	Trasp.e Facch.	Spese Calcolo	Affitti e manut. appar.	Mat. inventar.	Costruz. apparati	TOTALE Competenza
2001	4	7	65						76
TOTALI	4	7	65						76

Note:

Codice	Esperimento	Gruppo
	TOTEMRISC	5

Struttura PADOVA
Gr. coll. TRENTO

COMPOSIZIONE DEL GRUPPO DI RICERCA (cont.)

LAUREANDI Cognome e Nome	Associazione		Titolo della Tesi
	SI	NO	
Relatore	<input type="radio"/> SI	<input type="radio"/> NO	
Relatore	<input type="radio"/> SI	<input type="radio"/> NO	
Relatore	<input type="radio"/> SI	<input type="radio"/> NO	
Relatore	<input type="radio"/> SI	<input type="radio"/> NO	
Relatore	<input type="radio"/> SI	<input type="radio"/> NO	
Relatore	<input type="radio"/> SI	<input type="radio"/> NO	
Relatore	<input type="radio"/> SI	<input type="radio"/> NO	
Relatore	<input type="radio"/> SI	<input type="radio"/> NO	

Denominazione	mesi-uomo	SERVIZI TECNICI Annotazioni

INTERAZIONI CON LE INDUSTRIE (COMMESSE HIGH TECH)

DENOMINAZIONE	DESCRIZIONE PRODOTTO O COMMESSA
NEURICAM	TEMA STESSO DEL PRESENTE ESPERIMENTO

Codice	Esperimento	Gruppo
	TOTEMRISC	5

Struttura PADOVA
Gr. coll. TRENTO

REFEREES DEL PROGETTO	
Cognome e Nome	Argomento
SALINA Gaetano	

MILESTONES PROPOSTE PER IL 2001	
Data completamento	Descrizione
GIUGNO 2001	FABBRICAZIONE
OTTOBRE 2001	TEST FUNZIONALE
DICEMBRE 2001	VALIDAZIONE IN ESPERIMENTI

COMPETITIVITA' INTERNAZIONALE
SI PARTE DA UN PRODOTTO (IL MICROCHIP NEURALE TOTEM) AI VERTICI MONDIALI IN TERMINI PRESTAZIONE/COSTO

LEADERSHIPS NEL PROGETTO	
Cognome e Nome	Funzioni svolte
I. LAZZIZZERA	RESPONSABILITA' ORGANIZZATIVA E DEL RAPPORTO CON NEURICAM: PARTECIPAZIONE ALLA DEFINIZIONE DELLE LINEE GENERALI ARCHITETTURALI
A. SARTORI	RESPONSABILE PER GLI ASPETTI TECNICI IMPLEMENTATIVI DEL "DESIGN" ELETTRONICO

Codice	Esperimento	Gruppo
	TOTEMRISC	5

Struttura PADOVA
Gr. coll. TRENTO

Consuntivo anno 1999/2000

LAUREATI		
Cognome e Nome	Titolo della Tesi	Sbocco professionale
Laurea in		
Laurea in		
Laurea in		
Laurea in		
Laurea in		
DOTTORI di RICERCA		
Dott in		
Dott in		
Dott in		
Dott in		
PRESENTAZIONI A CONFERENZE SU INVITO E SEMINARI SIGNIFICATIVI		
Relatore	Titolo	Conferenza o luogo

Codice	Esperimento	Gruppo
	TOTEMRISC	5

Struttura PADOVA
Gr. coll. TRENTO

Consuntivo anno 1999/2000

SIGNIFICATIVE VARIAZIONI DI BILANCIO

Capitolo	Variazione (ML)	Motivazione
Missioni Interne	
Missioni Estere	
Consumo	
Trasporti e Facchinaggio	
Spese Calcolo	
Affitti e Manutenzioni	
Materiale Inventariabile	
Costruzione Apparati	
Totale storni	

CONFERENZE, WORKSHOP e SCUOLE ORGANIZZATE in ITALIA

Data	Titolo	Luogo

SIGNIFICATIVE COMMESSE E RELATIVO IMPORTO

ANAGRAFICA FORNITORE	DESCRIZIONE PRODOTTO O COMMESSA	IMPORTO (ML)

Codice	Esperimento	Gruppo
	TOTEMRISC	5

Struttura PADOVA
Gr. coll. TRENTO

Consuntivo anno 1999/2000

MILESTONES RAGGIUNTE	
Data completamento	Descrizione
16.06.2000	LAYOUT DEL PROCESSORE 0.35 μm
16.06.2000	MEMORIA STATICA FABBRICATA IN AMS
Commento al conseguimento delle milestones	

SVILUPPO DI STRUMENTAZIONE INNOVATIVA
INTEGRAZIONE ON-CHIP DEL NEUROCHIP COPROCESSORE TOTEM CON CPU CONVENZIONALE A 0.35 μm

Ricadute su altri gruppi, sul sistema industriale e su altre discipline
APPLICAZIONE IN STUDIO PER TRIGGER DI LIVELLO 2 A CDF; APPLICAZIONE IN ANALISI DATI E "DECISION MAKING" IN EXPLODET (GR.V) E EDEN (GR.III). APPLICAZIONI INDUSTRIALI PRESSO NEURICAM.

Codice	Esperimento	Gruppo
	TOTEMRISC	5

Struttura PADOVA

Gr. coll. TRENTO

Elenco delle pubblicazioni anno 1999/2000

Progetto TotemRisc

Trento, 4 giugno 1999

Titolo:

Realizzazione di un processore digitale ad elevate prestazioni per applicazioni di triggering, pattern-recognition e signal processing nella fisica sperimentale.

Responsabile nazionale: I. Lazzizzera

Partecipanti all'iniziativa:

B. Crespi

I. Lazzizzera

A. Sartori

G. Tecchioli

A. Zorat

Altri collaboratori:

P. Lee (Univ. of Kent at Canterbury, UK)

Durata del progetto: 2 anni

STATO DELL'ARTE

Questo progetto è la prosecuzione delle attività svolte negli esperimenti RTS e TOTEM++, nel corso delle quali sono state sviluppate tecniche innovative e circuiti integrati specifici per affrontare problemi di *pattern recognition* attinenti in particolare alla fisica sperimentale, ma anche a più generali settori applicativi. I sistemi hardware-software messi a punto si sono dimostrati adatti a risolvere problemi di *triggering* dove siano richiesti una elevata velocità di elaborazione a bassi costi e facilità di integrazione nell'apparato. Tali sistemi comprendono una serie di algoritmi e due architetture hardware costituite dai processori della serie TOTEM e TOTEM++. I processori, realizzati in tecnologia VLSI, sono stati incorporati in vari apparati, collaudati e utilizzati nello studio di diversi problemi in fisica (per esempio l'analisi off-line della produzione del top nel canale completamente adronico a CDF, l'esperimento EXPLODET, PAMELA, analisi di eventi simulati per la produzione della particella di Higgs a LHC). Inoltre una ditta, la NEURICAM, nata come spin-off dell'attività che ha prodotto TOTEM, sta attualmente commercializzando il chip finalizzato a diverse soluzioni applicative (si veda la pagina web <http://www.neuricam.com>).

OBIETTIVO DEL PROGETTO

I chip neurali TOTEM sono concepiti e funzionano come co-processori di un sistema di calcolo ospitante. È ovvio che le prestazioni complessive (o "di sistema") dipendono dalla velocità dei canali di comunicazione, in particolare quello con la CPU.

Lo scopo del progetto è l'integrazione su silicio delle funzionalità attualmente comprese nei processori neurali paralleli TOTEM con le funzionalità di un processore di tipo von Neumann al fine di ottenere un notevole incremento delle prestazioni di sistema.

DESCRIZIONE DEL PROCESSORE

Si è effettivamente dimostrato che le prestazioni di sistema dei processori paralleli TOTEM è strettamente legato alla velocità di comunicazione col resto del sistema ospitante, in particolare con la CPU e la memoria. La soluzione fin qui adottata è basata sull'interfacciamento a mezzo di bus standard quali ISA, VME, PCI o CompactPCI. In tale soluzione si è usato un appropriato bilanciamento fra i *throughput* del processore neurale e del bus. Un sostanziale incremento prestazionale di un fattore di due/tre è possibile con il ricorso alle moderne tecnologie di fabbricazione del silicio (lunghezza di canale minima 0.35 um) congiuntamente ad un'architettura capace di integrare sullo stesso chip sia la CPU che il processore parallelo.

Il circuito complessivo avrà le caratteristiche di un **system-on-a-chip** (SOC). In particolare esso costituirà un (sotto-)sistema di cattura ed elaborazione dati in **modalità Intelligent Input/Output (I2O)**, dotato di caratteristiche di intelligenza distribuita. Questo permetterà di liberare la CPU e il bus centrale dalla gestione delle periferiche.

I **vantaggi dell'architettura proposta** sono: un livello prestazionale più spinto, un minor consumo di corrente, ingombri più ridotti e costi globali drasticamente più bassi.

La natura complessa del dispositivo che si desidera realizzare richiede l'integrazione dei componenti, del tutto originali, sviluppati all'interno del nostro gruppo di ricerca con altri già sviluppati e disponibili sul mercato e troppo complessi per essere sviluppati autonomamente all'interno del nostro stesso gruppo. Ciò si inquadra nella modalità operativa di acquisizione di celle di "Intellectual Property" o IP. In particolare, un processore di tipo RISC a 32 bit con una potenza di circa 100 MIPS (corrispondenti a un'operazione media per ciclo ad una frequenza operativa di 100 MHz) verrà reperito da terze parti ed integrato con tecniche di progettazione ad alto livello, quali il VHDL.

Particolare enfasi verrà posta sull'aspetto di testabilità del circuito, al fine di permettere il collaudo anche su macchine di test di fascia media, con conseguente riduzione degli oneri complessivi di test. In particolare, verranno studiate ed utilizzate tecniche di Built-in self test (BIST) mirate all'autocollaudo dei vari sottocomponenti del chip.

Per favorire la fase di validazione ed utilizzazione del circuito, durante lo svolgimento del progetto verranno mantenute ed intensificate le attuali collaborazioni con i gruppi sperimentali intenzionati ad utilizzare direttamente i risultati del progetto (CDF (INFN, Gruppo I), EXPLODET (INFN, Gruppo V), EDEN (INFN, Gruppo III)). In particolare è in studio l'uso del chip in progetti di trigger di terzo e secondo livello per CDF RUN II (si veda la pagina web <http://meitner.science.unitn.it>; diventerà <http://www.tn.infn.it/CDF-TN>).

Al termine della fase di ricerca e sviluppo, verrà avviata una serie di attività di trasferimento tecnologico mirate alla commercializzazione del circuito nel mercato della fisica sperimentale, delle strumentazione e del controllo industriale. Il componente potrebbe essere utilizzato, oltre che in sistemi ad alta complessità, anche

in sistemi di tipo embedded a costo ridotto, al fine di favorirne la diffusione e massimizzare l'effetto di ricaduta della ricerca.

Tale attività produttiva potrà portare a dei ritorni economici sufficienti a coprire i costi di ricerca e sviluppo del presente circuito e a finanziare almeno parzialmente l'avviamento di ulteriori progetti.

PIANO DI LAVORO

L'attività di ricerca e di sviluppo si articolerà lungo le seguenti linee sull'arco di un biennio:

Anno 1:

- definizione dell'architettura e delle specifiche tecniche del circuito integrato
- progettazione circuitale e del layout della cella processore parallelo
- prototipazione della cella processore parallelo presso un fornitore di silicio
- integrazione della cella processore RISC e simulazione del comportamento del chip totale
- controlli e preparazione del database finale di progetto
- allestimento di una scheda stampata per il test del circuito complessivo

Anno 2:

- fabbricazione VLSI di campioni del circuito presso un fornitore di silicio
- esecuzione del test funzionale del circuito
- validazione del circuito in esperimenti

RISORSE RICHIESTE PER IL PRIMO ANNO

Servizio fabbricazione silicio a 0.35 μ m: 50 ML

Acquisizione cella RISC IP: 80 ML

Mesi/uomo presso officina elettronica di PD:4

RISORSE RICHIESTE PER IL SECONDO ANNO

Servizio fabbricazione silicio a 0.35 μ m: 65 ML

Mesi/uomo presso officina elettronica di PD:4

BIBLIOGRAFIA

- 1) I. Lazzizzera et al.
Performance of the TOTEM neurochip in Higgs search
Proc. Fifth International Workshop on Software Engineering and Artificial Intelligence for High Energy and Nuclear Physics [AIHENP96], Lausanne (CH), Sept. 1996.
Nucl. Instr. & Meth. in Phys. Res. A 389 (1997) 201-203
- 2) I. Lazzizzera
"Reti neurali artificiali: dal paradigma biologico all'implementazione hardware"
Realzione su invito al Congresso SIF 1998
Salerno, 28 sett. - 2 ott. 1998
- 3) Collaborazione Explodet: Progress Report 1998)

- 4) I. Lazzizzera, P. Lee, A. Sartori, G. Tecchiolli, A. Zorat:
Advances in the Design of the Totem Neurochip
Proc. Fifth International Workshop on Software Engineering and Artificial Intelligence for High Energy and Nuclear Physics [AIHENP96], Lausanne (CH), Sept. 1996.
Nucl. Instr. & Meth. A 389 (1997) 134-137
- 5) I. Lazzizzera, P. Lee, A. Sartori, G. Tecchiolli, A. Zorat:
Fast and Compact Controllers with Digital Neural Networks
Proc. IEEE Instrumentation and Measurement Technology Conference, Ottawa, Canada, May 19-21, 1997.
- 6) Maggipinto et al
Role of the neural networks in the Higgs search
Phys.Lett.B 409 (1997) 517-522
- 7) R. Battiti, G. Tecchiolli
"Training Neural Nets with the Reactive Tabu Search"
IEEE Trans. on Neural Networks, 6(5), 1185-1200, September 1999
- 9) P. Lee, A. Sartori, G. Tecchiolli, A. Zorat
"A Parallel Processor for Neural Networks\fp"
1995 Symp. on VLSI Circuits, Kyoto, June 1995
- 10) G. Anzellotti, R. Battiti, I. Lazzizzera, P. Lee, A. Sartori, G. Soncini, G. Tecchiolli, A. Zorat
"TOTEM: a highly parallel chip for triggering applications with inductive learning based on the Reactive Tabu Search",
Int. Journ. of Modern Physics C, 6(4) 555-560, (1995)
- 11) R. Bellotti, M. Castellano, C. De Marzo, I. Lazzizzera, G. Tecchiolli, A. Sartori
"A feasibility study to implement TOTEM neurochip in PAMELA satellite experiment for event filtering", AIHEP96, Losanna, September 96.
- 12) C. S. Lindsey, T. Lindblad
"Experience with the Reactive Tabu Search as Implemented in the Totem Chip",
AIHEP96, Lausanne, September 96.

Eventuali tesi di dottorato:

Terminata una tesi di dottorato di analisi off-line dei dati di produzione del quark top a CDF: A. Sidoti, Univ. Trento.

Esperimento

gruppo

Rappresentante nazionale

Struttura res_naz

nuovo continua

TOTEMRISC

5

IGNAZIO LAZZIZZERA TRENTO

continua

STR.	ESPERIM.	Missioni interno	Inviti ospiti stran.	Missioni estero	Mater. di Cons.	Spes Sem	Tras. e Fac.	Pub. Scien.	Spese Calc	Aff. e Manut. App.	Mater. invent.	Costruz. apparati	TOTALE	
TRENTO	Personale													
	Ricercatori		6,0	Tecnologi			Tecnici			Servizi mesi uomo				
	FTE		4,2	FTE			FTE							
	Rapporti (FTE/numero) Ricercatori					0,69					Ricercatori+Tecnologi			0,69
	TOTEMRISC	4		7	65									76
	di cui sj													
	Totals	4		7	65									76
di cui sj														
Richieste/(FTE ricercatori+tecnologi)					18,31									
TOTALI														
Totals	4		7	65									76	
di cui sj														
Confronto con il modello EC4														
Mod. EC4 dati	4		7	65									76	
Totals-Dati EC4														
Personale														
Ricercatori		6,0	Tecnologi			Tecnici			Servizi mesi uomo					
FTE		4,2	FTE			FTE								
Rapporti (FTE/numero) Ricercatori					0,69					Ricercatori+Tecnologi			0,69	
Richieste/(FTE ricercatori+tecnologi)					18,31									