

Nuovo Esperimento	Gruppo
RAPS	5

<b>Struttura</b>
<b>PERUGIA</b>

**Rappresentante Nazionale:** Passeri Daniele

Struttura di appartenenza: Perugia

Posizione nell'I.N.F.N.: A ssociato

Ricercatore responsabile locale: Passeri Daniele

**PROGRAMMA DI RICERCA**

**A) INFORMAZIONI GENERALI**

<b>Linea di ricerca</b>	Sviluppo di rivelatori in silicio e relativa elettronica di lettura integrata in tecnologia CMOS standard
<b>Laboratorio ove si raccolgono i dati</b>	INFN Perugia, CERN Ginevra
<b>Acceleratore usato</b>	
<b>Fascio (sigla e caratteristiche)</b>	
<b>Processo fisico studiato</b>	
<b>Apparato strumentale utilizzato</b>	Strumenti di CAD Tecnologico Ambiente di sviluppo per circuiti integrati A/D
<b>Sezioni partecipanti all'esperimento</b>	Perugia
<b>Istituzioni esterne all'Ente partecipanti</b>	Università di Parma - Dipartimento di Ingegneria dell'Informazione (D.I.I.)
<b>Durata esperimento</b>	36 mesi

**B) S C A L A D E I T E M P I : piano di svolgimento**

PERIODO	ATTIVITA' PREVISTA
Mesi 0 - 12	Ottimizzazione TCAD elemento sensibile Progetto chip I versione
Mesi 12 - 24	Collaudo chip I versione Studio elettronica di lettura e elaborazione
Mesi 24 -36	Progetto chip II versione Collaudo chip II versione Eventuale analisi di resistenza alla radiazione

**Struttura**
**PERUGIA**
**PREVENTIVO LOCALE DI SPESA PER L'ANNO**
**2001**
**In ML**

VOCI DI SPESA		DESCRIZIONE DELLA SPESA					IMPORTI		A cura della Comm.ne Scientifica Nazionale	
							Parziali	Totale Compet.		
Viaggi e missioni	Interno	Interazioni personale ricercatore diverse sedi e partecipazione a convegni scientifici					10	<b>10</b>		
	Estero	Partecipazioni a convegni scientifici					15	<b>15</b>		
Materiale Consumo	Ambiente di sviluppo ISE TCAD					23	<b>48</b>			
	Licenza software CADENCE					3				
	Produzione chip I versione					15				
	Progetto e realizzazione test card					7				
Trasp.e facch.										
Spese Calcolo	Consorzio	Ore CPU	Spazio Disco	Cassette	Altro					
Affitti e manutenz. apparecchiati.										
Materiale Inventariabile	1 PC					6	<b>16</b>			
	1 Workstation SUN					10				
Costruzione Apparati										
<b>Totale</b>							<b>89</b>			
Note:										

Nuovo Esperimento	Gruppo
RAPS	5

<b>Struttura</b>
<b>PERUGIA</b>

**ALLEGATO MODELLO EN 2**

Note al preventivo di spesa del primo anno:

L'esperimento proposto prevede una intensa attività di analisi e ottimizzazione di dispositivo, in particolare relativamente agli elementi sensibili alla radiazione. Tale attività sarà condotta utilizzando in parte lo strumento HFIELDS, sviluppato presso l'Università di Bologna e successivamente esteso alle applicazioni di interesse specifico presso l'Università di Perugia. Sarà tuttavia necessario integrare la dotazione di strumenti software per i seguenti motivi:

- necessità di capacità di simulazione tridimensionale, indispensabile per la valutazione della risposta di cluster di pixel interagenti;
- necessità di capacità di simulazione di processo, utili alla definizione di profili tecnologici accurati e realistici.

E' possibile identificare una soluzione soddisfacente ad entrambe le esigenze nel pacchetto integrato ISE TCAD, offerto al costo (ridotto per strutture accademiche di ricerca) di 23 ML (cfr. offerta allegata). Un vantaggio aggiuntivo di tale opzione è la possibilità di elaborazione su sistemi di calcolo personale, evitando il ricorso a più costose workstation Unix. Si prevede quindi di acquisire un Personal Computer, da dedicare, oltre alla funzione di stazione CAD, alle mansioni di license e software server, il cui costo è stimato in 6ML.

Per quanto invece riguarda la progettazione circuitale, si farà impiego di strumenti commerciali, acquisibili a costi ridotti tramite il consorzio Europractice: il costo di una licenza CADENCE è quindi di 3 ML (cfr. fattura allegata), mentre il costo della workstation SUN Solaris da dedicare allo scopo è stimabile in circa 10 ML (cfr. offerta allegata).

I costi di fabbricazione dei primi prototipi di chip in silicio, stimati per una tecnologia CMOS analogica da 0.35mm, e comprensivi di package e interconnessioni, possono essere contenuti, tramite il ricorso a MPW, in circa 15 ML. I costi connessi alla progettazione e realizzazione delle schede di collaudo dei chip, e di altro materiale necessario alla predisposizione del sistema di misura possono essere stimate in circa 5 ML.

Nuovo Esperimento	Gruppo
RAPS	5

<b>Struttura</b>
<b>PERUGIA</b>

**PREVISIONE DI SPESA: PIANO FINANZIARIO LOCALE**  
**PER GLI ANNI DELLA DURATA DEL PROGETTO**

**In ML**

ANNI FINANZIARI	Miss. interno	Miss. estero	Mater. di cons.	Trasp.e Facch.	Spese Calcolo	Affitti e manut. appar.	Mat. inventar.	Costruz. apparati	TOTALE Competenza
2001	10	15	48				16		<b>89</b>
2002	10	15	40				30		<b>95</b>
2003	10	15	20						<b>45</b>
<b>TOTALI</b>	<b>30</b>	<b>45</b>	<b>108</b>				<b>46</b>		<b>229</b>

Note:

Osservazioni del Direttore della Struttura in merito alla disponibilità di personale e di attrezzature:  
 La previsione di spesa e l'attività prevista sono congrue con le disponibilità di personale e di attrezzature.  
 Si sottolinea che l'esperimento chiede una minima utilizzazione dei servizi tecnici.

**Mod. EN. 3**

(a cura del responsabile locale)

Nuovo Esperimento	Gruppo
RAPS	5

<b>Struttura</b>
<b>PERUGIA</b>

## PREVISIONE DI SPESA

### Piano finanziario globale di spesa

**In ML**

ANNI FINANZIARI	Miss. interno	Miss. estero	Materiale di cons.	Trasp.e Facch.	Spese Calcolo	Affitti e manut. appar.	Mat. inventar.	Costruz. apparati	TOTALE Competenza
2001	10	15	48				16		<b>89</b>
2002	10	15	40				30		<b>95</b>
2003	10	15	20						<b>45</b>
<b>TOTALI</b>	<b>30</b>	<b>45</b>	<b>108</b>				<b>46</b>		<b>229</b>

Note:

Nuovo Esperimento	Gruppo
RAPS	5

<b>Struttura</b>
<b>PERUGIA</b>

## **PROPOSTA DI NUOVO ESPERIMENTO**

Vedasi nota allegata

Nuovo Esperimento	Gruppo
RAPS	5

<b>Struttura</b>
<b>PERUGIA</b>

**PROPOSTA DI NUOVO ESPERIMENTO**



Codice	Esperimento	Gruppo
	RAPS	5

<b>Struttura</b>
<b>PERUGIA</b>

**COMPOSIZIONE DEL GRUPPO DI RICERCA (cont.)**

LAUREANDI Cognome e Nome	Associazione		Titolo della Tesi
	SI	NO	
Lucidi Stefano Relatore Daniele Passeri	<input type="radio"/> SI	<input checked="" type="radio"/> NO	Analisi e progetto di rivelatori di radiazione in tecnologia CMOS standard
Saltutti Stefano Relatore Daniele Passeri	<input type="radio"/> SI	<input checked="" type="radio"/> NO	Ottimizzazione e progetto dell'elettronica di lettura per sensori a matrice di pixel attivi
Relatore	<input type="radio"/> SI	<input type="radio"/> NO	
Relatore	<input type="radio"/> SI	<input type="radio"/> NO	
Relatore	<input type="radio"/> SI	<input type="radio"/> NO	
Relatore	<input type="radio"/> SI	<input type="radio"/> NO	
Relatore	<input type="radio"/> SI	<input type="radio"/> NO	
Relatore	<input type="radio"/> SI	<input type="radio"/> NO	

Denominazione	mesi-uomo	SERVIZI TECNICI Annotazioni

**INTERAZIONI CON LE INDUSTRIE (COMMESSE HIGH TECH)**

DENOMINAZIONE	DESCRIZIONE PRODOTTO O COMMESSA

Codice	Esperimento	Gruppo
	RAPS	5

<b>Struttura</b>
<b>PERUGIA</b>

<b>REFEREES DEL PROGETTO</b>	
Cognome e Nome	Argomento

<b>MILESTONES PROPOSTE PER IL 2001</b>	
Data completamento	Descrizione
30 settembre 2001	Ottimizzazione TCAD elemento sensibile
30 novembre 2001	Progetto chip I versione

<b>COMPETITIVITA' INTERNAZIONALE</b>

<b>LEADERSHIPS NEL PROGETTO</b>	
Cognome e Nome	Funzioni svolte
Passeri Daniele	Responsabile locale e nazionale

Esperimento	Gruppo
RAPS	5

<b>Struttura</b>
------------------

<b>PERUGIA</b>
----------------

## ALLEGATO 1

### ALLEGATO ALLA PROPOSTA DI NUOVO ESPERIMENTO

L'impiego di rivelatori di radiazione a stato solido in silicio, fabbricati secondo tecnologie microelettroniche, è ormai ampiamente diffuso nel contesto della fisica delle alte energie. Fra i numerosi vantaggi che l'adozione di dispositivi di tale genere comporta, rispetto alle soluzioni alternative disponibili, vale la pena di ricordare:

- l'elevata risoluzione spaziale, temporale e in energia
- la buona linearità
- l'elevata affidabilità e resistenza alla radiazione
- il basso rumore

L'introduzione dei sensori integrati in silicio ha consentito un significativo "salto di qualità" nella comprensione e nello studio dei fenomeni legati alle particelle subnucleari, associati allo sviluppo della nuova generazione di acceleratori a elevata luminosità di prossima attivazione.

Sono stati proposti diverse tipologie di sensori, in linea di principio tutti basati sullo stesso meccanismo fisico di trasduzione, che sfrutta la generazione di coppie elettrone-lacuna ad opera della radiazione incidente. Per migliorare il rapporto S/N, tale generazione viene indotta entro regioni svuotate di ampio volume, ciò che limita in qualche misura la densità degli elementi sensibili (giunzioni p-n polarizzate in regime inverso), e richiede l'applicazione di elevate tensioni di polarizzazione. Le varie classi di sensori utilizzate differiscono principalmente per la disposizione geometrica degli elementi sensibili (matrici di pixel o schiere di microstrisce), e per le tecniche di raccolta e lettura della carica generata (CCD, rivelatori a deriva). Nella quasi totalità dei casi, il processo di fabbricazione di tali dispositivi si discosta significativamente dalle tecnologie microelettroniche più diffuse (richiedendo, ad esempio, l'adozione di substrati ad alta resistività), rendendo quindi in genere problematica l'integrazione, sullo stesso chip, di circuiti elettronici attivi di lettura, condizionamento ed elaborazione del segnale.

Questo progetto si propone lo studio e lo sviluppo di sensori di radiazione fabbricati secondo una tecnologia CMOS standard. Sensori CMOS dedicati alla rivelazione nel visibile sono ormai in produzione industriale da tempo, e, grazie ad un più favorevole rapporto fra prestazioni e costi, hanno progressivamente sostituito le architetture CCD in numerose applicazioni; è ragionevole quindi studiare la possibilità di estendere l'impiego di dispositivi simili alla rivelazione di particelle cariche, eventualmente modificandone ed ottimizzandone la struttura in funzione delle specifiche operative e funzionali caratteristiche degli esperimenti di fisica delle alte energie.

I principi fondamentali di funzionamento di tale classe di sensori sfruttano ancora la generazione di carica all'interno di un substrato semiconduttore. La tecnologia CMOS, tuttavia, prevede la presenza di un substrato fortemente conduttivo (necessario alla prevenzione di fenomeni di latch-up), sul quale viene accresciuto epitassialmente uno strato di cristallo meno drogato (dello spessore di qualche micrometro), entro il quale sono realizzati i dispositivi attivi. In pratica, la sola regione utile alla rivelazione è contenuta entro tale sottile strato epitassiale: non è quindi più necessario svuotare ampi volumi, eliminando la necessità di elevate tensioni di polarizzazione. La riduzione della carica utile generata dalla radiazione, può essere invece compensata sfruttando meccanismi di amplificazione locale; tali meccanismi si basano su semplici circuiti attivi associati a ciascun pixel, compatibili con la tecnologia di fabbricazione, e in grado di assicurare buone prestazioni in termini di rumore [1].

I principali vantaggi che potrebbero derivare dall'adozione di sensori CMOS, rispetto alle tecnologie correntemente utilizzate, possono quindi essere così riassunti:

- trattandosi di tecnologie ad ampia diffusione commerciale, esse consentono maggiore economia di fabbricazione;
- per lo stesso motivo, tali tecnologie sono costantemente e rapidamente aggiornate verso maggiori densità di integrazione, con il conseguente potenziale incremento della risoluzione spaziale. E' ragionevole attendersi, dalle tecnologie correnti, risoluzioni nell'intorno del micron, da confrontarsi con le risoluzioni, maggiori di almeno un ordine di grandezza, tipiche dei sensori integrati attualmente utilizzati.
- E' possibile la contemporanea integrazione di elementi sensibili e di dispositivi attivi di buona qualità; inoltre, per questi ultimi e per una ampia varietà di celle funzionali integrate, sono di norma disponibili modelli e caratterizzazioni accurate. Ciò semplifica significativamente il progetto e l'implementazione di elettronica di controllo ed elaborazione di segnale.
- Inoltre, circuiti realizzati in tecnologie fortemente submicrometriche godono intrinsecamente di buone caratteristiche di resistenza alla radiazione [2,3,4,5].
- E' possibile realizzare sensori operanti a bassa tensione, con riduzione dei rischi di breakdown, basse correnti di perdita e basso consumo di potenza.
- Come sopra ricordato, anche a fronte di una minore estensione del volume sensibile, esistono prime indicazioni della possibilità di ottenere prestazioni di rumore ampiamente soddisfacenti: dalla letteratura scientifica [1] e dalle simulazioni condotte dal nostro gruppo, è possibile prevedere rapporti S/N superiori a 50.

In sintesi, ci si aspetta di potere integrare sensori dotati di maggiore risoluzione spaziale e di maggiore "intelligenza" locale. Una importante conferma di queste considerazioni viene da alcuni recenti studi di fattibilità [6] condotti presso i laboratori LEPSI di Strasbourg (F): in questo contesto, è stato progettato e realizzato un prototipo di chip CMOS e ne è stata valutata la funzionalità. Il prototipo realizzato sfrutta i risultati di un lavoro svolto presso il centro di ricerche microelettroniche IMEC (Leuven. Belgio) relativo a

rivelatori basati su pixel "attivi" (Active Pixel Sensors) per applicazioni nel visibile, che è stato esteso ad applicazioni di rivelazione di radiazione [7,8]. Pur trattandosi di una struttura ancora fondamentalmente dimostrativa, e pur non essendo stati ancora considerati numerosi aspetti di ottimizzazione relativi alla specifica applicazione, tali esperimenti hanno consentito di stimare rapporti S/N soddisfacenti (circa 40), incoraggiando quindi la ricerca in questa direzione. Altre analisi, volte alla valutazione delle prestazioni ottenibili tramite tecnologie più avanzate, sono state condotte, tramite strumenti di simulazione, dal gruppo che propone questo esperimento.

L'impiego di strumenti di CAD tecnologico (TCAD), in questo contesto, si rivela infatti di primaria importanza: la possibilità di valutare risposte e prestazioni in maniera virtuale riduce drasticamente tempi e costi associati allo sviluppo, alla realizzazione e alla misura di prototipi, orientando con sicurezza numerose scelte progettuali.

Gli studi di sensori CMOS, recentemente avviati dal gruppo proponente, riguardano la valutazione della sensibilità di tali dispositivi, in relazione a tecnologie avanzate di fabbricazione e ad alcuni parametri critici di progetto. Nelle simulazioni, sono state considerate strutture realistiche comprensive dell'elemento sensibile convenzionale (la giunzione fra una n-well e lo strato epitassiale di tipo p) e le tasche di tipo p destinate a contenere i transistori nMOS di controllo (un classico schema di lettura e amplificazione di carica è riportato in [1]). Sono stati considerati gli effettivi meccanismi di raccolta di carica simulando il passaggio di una particella attraverso la struttura. In particolare, è stato considerato il profilo di carica generato dalla particella incidente e la sua interazione con la complessa distribuzione di campo elettrico entro lo strato epitassiale che deriva dalla prossimità fra la giunzione sensibile e i transistori MOS utilizzati per l'amplificazione e per le logiche di precarica e di selezione. È stata valutata la quantità di carica raccolta come integrale della risposta in corrente al passaggio della particella, in funzione dello spessore dello strato epitassiale e per diverse traiettorie della particella, ottenendo stime confortanti anche per spessori di pochi micron. In particolare, considerando un tempo di lettura di 100 ns sono stati ottenuti valori di carica raccolta di 1748, 885 e 775 elettroni, rispettivamente per spessori dello strato epitassiale di 15, 5 e 2 micron. A questo proposito, va notato che la tecnologia da 0.6 micron utilizzata in [6] è caratterizzata da uno spessore dello strato epitassiale più elevato (12-16 micron), inusuale per altre tecnologie commerciali e difficilmente mantenibile per tecnologie ulteriormente scalate. Le simulazioni mostrano che la carica raccolta, anche per spessori di 2 micron, si mantiene ad un livello nettamente distinguibile dal rumore, prevedibile in una carica equivalente di qualche decina di elettroni [1]. Altre valutazioni hanno riguardato la stima dei tempi di raccolta di carica, e la dipendenza del segnale di uscita dalla posizione di incidenza della radiazione e dalla profondità della tasca n-well in cui è realizzato il fotodiodo. L'insieme dei risultati della indagine preliminare condotta conforta le tesi sopra esposte, e suggerisce la pianificazione di una attività articolata nei passi seguenti:

- 1) Ottimizzazione dell'elemento sensibile: completamento della fase di simulazione del "fotodiodo", e correlazione delle prestazioni ai parametri tecnologici tipici di tecnologie fortemente submicrometriche e ai relativi vincoli fondamentali di layout. Verranno, in particolare, considerate in questa fase tecnologie di fabbricazione da 0.35 micron, commercialmente accessibili tramite programmi di multi-project wafer.
- 2) Introduzione dell'elettronica attiva: analisi TCAD dell'interazione fra fotodiodo e transistori di lettura, volta ad analizzare gli effettivi meccanismi e le dinamiche di trasferimento di carica, alla valutazione delle correnti di perdita e delle altre componenti significative di rumore.
- 3) Analisi dell'interazione fra pixel: studio della distribuzione della carica generata fra elementi adiacenti, in funzione della posizione di incidenza della radiazione e dell'effettivo layout di dispositivi sensibili e dispositivi attivi.
- 4) Progetto di un primo chip prototipo: sulla scorta delle indicazioni ottenute dalle azioni precedenti, volte all'ottimizzazione del pixel attivo, si progetterà un primo prototipo, consistente in una matrice di dimensioni ridotte (128x128) di pixel, ciascuno dei quali caratterizzato da una dimensione inferiore ai 10 micron, e della circuiteria attiva necessaria alla gestione di lettura, indirizzamento e interfacciamento della matrice. In questa fase, si farà riferimento a soluzioni circuitali convenzionali: va tuttavia messo in evidenza che l'impiego di tecnologie relativamente avanzate impone comunque una azione piuttosto radicale di riprogettazione di blocchi eventualmente implementati in precedenza in tecnologie più rilassate; per esempio, lo scaling delle tensioni di alimentazione rappresenta un vincolo critico, in particolare per le applicazioni di nostro interesse. Verranno inoltre messe a punto le soluzioni e le attrezzature per il collaudo funzionale del chip (tramite una sorgente beta) presso i laboratori dell'INFN di Perugia ed eventuale successiva verifica delle prestazioni su fascio di test presso il CERN di Ginevra.
- 5) Ottimizzazione circuitali: nelle fasi precedenti, si è focalizzata l'attenzione sulle caratteristiche e sulle prestazioni degli elementi sensibili, ottimizzandone il progetto in funzione delle caratteristiche di tecnologie fortemente submicrometriche. Minore attenzione, invece, è stata dedicata alla circuiteria attiva, limitandosi a mutuare le soluzioni correntemente utilizzate per sensori attivi utilizzati per lo spettro visibile. Va tuttavia messo in evidenza che radicalmente diverse sono alcune problematiche associate ai due contesti, suggerendo quindi una attenta azione di riprogettazione della circuiteria di controllo e di condizionamento del segnale, al fine di sfruttare al meglio la maggiore capacità di elaborazione locale consentita dalla tecnologia CMOS. In particolare, nei sensori destinati ad applicazioni di "visible imaging" non è particolarmente critica la risoluzione spaziale, mentre maggiore importanza riveste il coefficiente di sfruttamento dell'area sensibile ("fill-factor"): poiché i dispositivi attivi (i transistori) e le interconnessioni metalliche risultano opache alla radiazione visibile, è necessario limitare strettamente (in numero e dimensioni) gli elementi attivi associati a ciascuna area sensibile. Tale vincolo è assai meno stringente nel presente contesto: grazie alle maggiori capacità di penetrazione delle particelle cariche, anche le regioni epitassiali sottostanti ai dispositivi attivi contribuiscono infatti alla generazione del segnale. Un secondo aspetto riguarda la qualità dell'informazione richiesta al dispositivo: l'intensità del segnale raccolto, infatti, è, nel caso del visibile, da correlarsi alla luminosità dell'immagine, ciò che rende, in linea di principio, necessaria una linea di lettura ed elaborazione analogica. Nel caso di specifico interesse, invece, l'energia associata alla radiazione incidente può essere considerata nota a priori, e dal confronto fra le intensità dei segnali raccolti da celle adiacenti può essere ricavata una più accurata informazione sulla posizione di incidenza della radiazione. Meno critiche, da questo punto di vista, possono essere inoltre considerate alcune componenti sistematiche di rumore e la conseguente necessità di introdurre circuiti di compensazione e calibrazione. A fronte di tali marcate differenze funzionali, sarà quindi utile investigare soluzioni circuitali alternative, volte a massimizzare la risoluzione spaziale della matrice di pixel ed i tempi di risposta della rete: è ragionevole ipotizzare che l'introduzione di maggiori capacità di elaborazione distribuita, associata alla contrazione geometrica dei dispositivi, consenta di concepire architetture capaci di risoluzioni inferiori di almeno un ordine di grandezza rispetto allo stato dell'arte per sensori convenzionali. Tale

maggiore ricchezza di informazione si rifletterà inoltre nella necessità di maggiore capacità di elaborazione delle reti di controllo e di ingresso/uscita, alle quali dovranno essere affidate la selezione e la compressione dell'informazione utile, al fine di contenere i requisiti di banda dei canali di comunicazione. In questa fase, quindi, saranno oggetto di indagine soluzioni circuitali ed architetturali potenzialmente innovative, sia al livello di singolo pixel attivo, sia al livello di reti di supervisione ed elaborazione "on chip". Si farà largo uso di strumenti di simulazione funzionale e circuitale, richiedendo quindi la messa a punto e la caratterizzazione di modelli atti a descrivere, in questi contesti, gli elementi sensibili alla radiazione. Nuovamente, il ricorso al TCAD sarà di rilevante utilità a questi fini.

6) Progetto chip di seconda generazione: da realizzarsi secondo le soluzioni architetturali individuate al punto precedente, e tramite le tecnologie prevedibilmente disponibili al momento (0.25/0.18 micron).

7) Resistenza alla radiazione: è inoltre da prevedersi uno studio della resistenza alla radiazione dei circuiti e dei dispositivi sviluppati. Tale studio verrà condotto in parte tramite simulazioni a livello fisico, utilizzando la accurata modellistica del danno da radiazione disponibile, e, parallelamente, tramite la misura sperimentale di campioni opportunamente irraggiati.

8) Collaudo del chip: a convalida delle soluzioni circuitali e dispositivivistiche adottate.

Dal punto di vista dell'articolazione temporale, è possibile definire alcune azioni, distribuite nell'arco di 36 mesi, secondo lo schema seguente:

- Ottimizzazione TCAD elemento sensibile            0 -> mese 9
- Progetto I chip mese 6 -> mese 12
- Collaudo I chip mese 15 -> mese 18
- Studio elettronica di lettura e elaborazione            mese 12 -> mese 24
- Progetto II chip mese 21 -> mese 27
- Collaudo II chip mese 30 -> mese 36
- Studio resistenza alla radiazione mese 24 -> mese 36

#### Qualificazione del gruppo proponente

Il gruppo è da tempo attivo nell'area dello studio, della realizzazione e della caratterizzazione di sensori integrati a semiconduttore. In particolare, nell'ambito dell'esperimento CMS, la sezione INFN di Perugia ha collaborato attivamente alla definizione delle specifiche del sistema di rivelazione di vertice; ha partecipato alle iniziative di ricerca e sviluppo dell'elettronica di lettura e controllo destinata al collegamento ottico fra rivelatori ed elaboratori remoti [9,10,11], e RD48 (ROSE), orientata allo studio del danno da radiazione. La sezione è dotata di laboratori elettronici attrezzati per la misura e la manipolazione di dispositivi microelettronici, e ha maturato esperienze significative nella caratterizzazione di dispositivi irraggiati. Presso l'Università di Perugia sono disponibili solide competenze nel settore della fisica e della modellistica di sensori integrati: in particolare, sono stati, nel tempo, sviluppati strumenti dedicati alla simulazione di sensori di radiazione [12], ed applicati alla analisi di numerose questioni di interesse relative ai sensori integrati a microstriscia, quali la stima delle principali componenti di rumore e l'efficienza di raccolta di carica [12], la resistenza al danno da radiazione [13], l'ottimizzazione di parametri geometrici e tecnologici [14,15]. Nell'ambito di CMS, tali strumenti hanno fornito un significativo supporto decisionale alle scelte strategiche riguardanti l'architettura di alcune classi di sensori, con particolare riferimento alla recente adozione di sensori dotati di contatti metallici aggettanti (overhanging metal strips), di substrati a bassa resistività e di sensori ad elevato pitch e spessore, da utilizzarsi negli strati esteriori del sistema di tracciamento all-silicon. Per quanto riguarda la progettazione di circuiti integrati, infine, consolidate competenze nel progetto di circuiti CMOS a segnale misto analogico-digitale, in tecnologie submicrometriche, sono disponibili presso l'Università di Parma [16,17,18].

#### Bibliografia

- 1] E. R. Fossum, "CMOS Image Sensors: Electronic Camera-On-A-Chip", IEEE Trans. on Electron Devices, vol. 44, n.10, October 1997.
- 2] Marchioro et al., Total Dose behavior of submicron and deep submicron CMOS technologies, Third Workshop on Electronics for LHC Experiments, London, September 22-26, 1998.
- 3] M. De Laus, Radiation concern in state-of-the art processing technologies, in the IEEE NSREC Short Course note, Tucson, Arizona, 1994.
- 4] T. J. Sandres, CMOS hardness through process controls and optimized design procedure, IEEE Transaction Nuclear Science, Vol. NS-24, No. 6, Dec. 1977, 2051-2055.
- 5] Marchioro, Deep submicron technology for HEP, Fourth Workshop on Electronics for LHC Experiments, Rome, September 21-25, 1998
- 6] J.D. Brest et al., "A monolithic Active Pixel Sensor for Charged Particle Tracking and Imaging using Standard VLSI CMOS Technology," LEPSI-99-15, December 1999.
- 7] Dierickx, G. Meynants and D. Scheffer, "Near 100% fill factor CMOS active pixels," Proc. of IEEE CCD & AIS Workshop, Brugge, Belgium, 5-7 June 1997.
- 8] J. Bogaerts, B. Dierickx, "Total Dose Effects on CMOS Active Pixel Sensors", Proc. SPIE, Photonics West 2000, San Jose, 24 Jan 2000
- 9] A.Marchioro, P.Moreira, P.Placidi, A PLL-Delay ASIC for Clock Recovery and Trigger Distribution in the CMS tracker, in Third Workshop on Electronics for LHC Experiments, Londra, 21-25 Settembre 1997.
- 10] T. Toiff, P.Moreira, A.Marchioro, P.Placidi, Analysis of Parameter-Independent PLLs with Bang-Bang Phase-Detectors, Proc. Of LX98 5th International Conference on Electronics, Circuits and Systems, Lisbona, Portogallo, 7-10 Settembre 1998.
- 11] P. Placidi, A.Marchioro, P. Moreira, K. Kloukinas, A 40 MHz clock and trigger recovery circuit for the CMS cracker fabricated in a 0.25 micron CMOS technology and using a self calibration technique, Fifth Workshop on Electronics for LHC Experiments, Snowmass 20-24 September 1999.

- 12] Passeri, P. Ciampolini, M. Baroncini, G. Bilei, A. Santocchia, B. Checcucci, and E. Fiandrini, "Comprehensive Modeling of Silicon Microstrip Detectors," IEEE Trans. on Nuclear Science, vol. 44, pp. 598-605, June 1997
- 13] Passeri, M. Baroncini, P. Ciampolini, G. Bilei, A. Santocchia, B. Checcucci, and E. Fiandrini, "TCAD-Based Analysis of Radiation Hardness in Silicon Detectors," IEEE Trans. on Nuclear Science, vol. Vol. 45, No. 3, pp. 602-608, June 1998.
- 14] Passeri, P. Ciampolini, and G. Bilei, "A Comprehensive Analysis of Low-Resistivity Silicon Radiation Detectors," IEEE Trans. on Nuclear Science, vol. 46, No. 3, pp. 260-265, June 1999.
- 15] D. Passeri, P. Ciampolini, A. Scorzoni, and G. Bilei, "Physical modeling of silicon microstrip detectors: influence of the electrode geometry on critical electric fields," IEEE Trans. on Nuclear Science (to be published).
- 16] A. Boni-A, G. Chiorboli, C. Morandi, "Dynamic characterisation of high-speed latching comparators", Electronics Letters, vol.36, no.5, 2 March 2000. p.402-4.
- 17] A. Boni, C. Morandi, S. Padoan, "A 2.5-V BiCMOS comparator with current-mode interpolation", IEEE Journal of Solid State Circuits, vol.34, no.6, June 1999, p.892-7.
- 18] A. Boni, C. Morandi, "High-speed, low-power BiCMOS comparator using a pMOS variable load", IEEE Journal of Solid State Circuits, vol.33, no.1, Jan. 1998, p.143-6.

Elenco delle pubblicazioni degli ultimi anni, inerenti alle tematiche della proposta:

- A. Marchioro, P. Moreira, P. Placidi, A PLL-Delay ASIC for Clock Recovery and Trigger Distribution in the CMS tracker, in Third Workshop on Electronics for LHC Experiments, Londra, 21-25 Settembre 1997.
- D. Passeri, L. Alessandrini, P. Ciampolini, G. Bilei, A. Paccagnella, D. Bisello, and N. Bacchetta, "Numerical Modeling of Radiation Damage of Si Detectors," in 3rd ROSE Workshop on Radiation Hardening of Silicon Detector, (Hamburg, Germany), DESY, Feb. 1998.
- CMS Collaboration, "CMS Technical Design Report," tech. rep., CERN, Ginevra, Switzerland, May 1998.
- D. Passeri, M. Baroncini, P. Ciampolini, G. Bilei, A. Santocchia, B. Checcucci, and E. Fiandrini, "TCAD-Based Analysis of Radiation Hardness in Silicon Detectors," IEEE Trans. on Nuclear Science, vol. Vol. 45, No. 3, pp. 602-608, June 1998.
- D. Passeri, P. Ciampolini, and G. Bilei, "A numerical study on radiation hardness of low-resistivity Si-microstrip detectors," in IEEE Nuclear Science Symposium 98 (NSS 98) Conference Records, (Toronto, CA), 8-14, 1998.
- D. Passeri, G. Bilei, and P. Ciampolini, "Charge Collection Analysis of Low-Resistivity Si-Microstrip Detectors," in 4th ROSE Workshop on Radiation Hardening of Silicon Detector, (Geneve, CH), Dec. 1998.
- T. Toifl, P. Moreira, A. Marchioro, P. Placidi, Analysis of Parameter-Independent PLLs with Bang-Bang Phase-Detectors, Proc. Of LX98 5th International Conference on Electronics, Circuits and Systems, Lisbona, Portogallo, 7-10 Settembre 1998.
- D. Passeri, P. Ciampolini, and G. Bilei, "A CAD investigation of depletion mechanisms in irradiated silicon microstrip detectors," Nuclear Instruments and Methods in Physics Research, vol. A 426, no. 1, pp. 131-134, 1999
- D. Passeri, P. Ciampolini, G. Bilei, and A. Santocchia, "2D Numerical Modeling of Si Microstrip Detectors under Heavy Radiation-Damage Conditions," Il Nuovo Cimento, vol. 112, no. 2, pp. 35-42.
- D. Passeri, P. Ciampolini, G. Bilei, G. Casse, and F. Lemeilleur, "Analysis of the transient response of led-illuminated diodes under heavy-radiation damage," in Proc. of 1st European Network on Defects Engineering of Advanced Semiconductor Devices (ENDEASD) Workshop (C. Claeys, ed.), (Santorini, Greece), pp. 110-118, Apr. 1999.
- D. Passeri, P. Ciampolini, and G. Bilei, "A Comprehensive Analysis of Low-Resistivity Silicon Radiation Detectors," IEEE Trans. on Nuclear Science, vol. 46, No. 3, pp. 260-265, June 1999.
- D. Passeri, G.M. Bilei, and P. Ciampolini, "TCAD optimization of charge-collection efficiency in silicon microstrip detectors," Nuclear Instruments and Methods in Physics Research, vol. A439, January 11, 2000.
- M.M. Angarano, G.M. Bilei, P. Ciampolini, M. Giorgi, A. Mihul, O. Militaru, D. Passeri, A. Scorzoni, "Characterization of neutron irradiated, low-resistivity silicon detectors," in 5th International conference on position sensitive detectors (PSD 99), (London, United Kingdom), Sept. 1999.
- P. Placidi, A. Marchioro, P. Moreira, K. Kloukinas, A 40 MHz clock and trigger recovery circuit for the CMS tracker fabricated in a 0.25 micron CMOS technology and using a self calibration technique, Fifth Workshop on Electronics for LHC Experiments, Snowmass 20-24 September 1999.
- D. Passeri, P. Ciampolini, A. Scorzoni, F. Moscatelli, and G. Bilei, "Modeling of critical electric field within irradiated Si-microstrip detectors," in IEEE Nuclear Science Symposium 99 (NSS 99) Conference Records, (Seattle, WA), 24-30, 1999.
- D. Passeri, P. Ciampolini, G. Bilei, G. Casse, and F. Lemeilleur, "Analysis of the transient response of led-illuminated diodes under heavy-radiation damage," Nuclear Instruments and Methods in Physics Research, 1999 Nuclear Instruments and Methods in Physics Research, vol. A 443, no. 1, pp. 148-155, 2000
- D. Passeri, P. Ciampolini, A. Scorzoni, and G. Bilei, "Physical modeling of silicon microstrip detectors: influence of the electrode geometry on critical electric fields

Esperimento

gruppo

Rappresentante nazionale

Struttura res. naz

nuovo continua

**RAPS**

5

Passeri Daniele

Perugia

nuovo

STR.	ESPERIM.	Missioni interno	Inviti ospiti stran.	Missioni estero	Mater. di Cons.	Spes Sem	Tras. e Fac.	Pub. Scien.	Spese Calc	Aff. e Manut. App.	Mater. invent.	Costruz. apparati	TOTALE	
PERUGIA	Personale													
	Ricercatori	7,0	Tecnologi			Tecnici			4,0	Servizi mesi uomo				
	FTE	2,9	FTE			FTE			0,4					
	<b>Rapporti (FTE/numero) Ricercatori</b>					<b>0,41</b>			<b>Ricercatori+Tecnologi</b>					<b>0,41</b>
	RAPS	10		15	48						16		89	
	di cui sj													
	Totali	10		15	48						16		89	
	di cui sj													
	<b>Richieste/(FTE ricercatori+tecnologi)</b>					<b>30,69</b>								
	<b>TOTALI</b>													
Totali	10		15	48						16		89		
di cui sj														
<b>Confronto con il modello EC4</b>														
Mod. EC4 dati														
Totali-Dati EC4	10,0		15,0	48,0						16,0		89,0		
<b>Personale</b>														
Ricercatori	7,0	Tecnologi			Tecnici			4,0	Servizi mesi uomo					
FTE	2,9	FTE			FTE			0,4						
<b>Rapporti (FTE/numero) Ricercatori</b>					<b>0,41</b>			<b>Ricercatori+Tecnologi</b>					<b>0,41</b>	
<b>Richieste/(FTE ricercatori+tecnologi)</b>					<b>30,69</b>									