

## **Corso di formazione su:**

L'affidabilità delle moderne schede elettroniche

**Bologna 22-23 Settembre 2004**

### **Obiettivi**

Il corso si propone di dare gli strumenti per caratterizzare l'affidabilità (failure rate, MTTF, MTBF, ecc...) di un apparato elettronico. Verranno mostrati i più diffusi meccanismi di guasto dei dispositivi a semiconduttore e verranno illustrate le principali cause di riduzione dell'affidabilità nelle schede elettroniche. Verranno discusse le tecniche di ridondanza e le diverse metodologie di progetto per aumentare la tolleranza ai guasti dei circuiti elettronici e quelle orientate alla diagnostica. Verrà presentata una delle più diffuse architetture di collaudo, il Boundary-Scan, e la realizzazione nello standard IEEE 1149.1 del "JTAG group". Saranno anche trattati gli effetti delle radiazioni, di dose totale e di singolo evento, sui circuiti integrati e le strategie per ridurne le conseguenze e produrre sistemi più affidabili.

### **Target**

Il corso è rivolto ai dipendenti INFN che hanno attività nel campo dell'elettronica ed hanno interesse ad approfondire i concetti riguardanti l'affidabilità e le tecniche per migliorarla.

### **Organizzazione logistica**

Il corso si svolgerà presso la Sezione INFN di Bologna in Viale Berti Pichat 6/2

### **Metodologia didattica**

Lezioni teoriche con sussidi didattici (audiovisivi, etc.).

### **N° partecipanti**

20 persone.

### **Responsabile:**

Ing. I.D'ANTONE del Centro di Elettronica della Sezione di Bologna

Tel. 051- 2095275

e-mail: [DANTONE@BO.INFN.IT](mailto:DANTONE@BO.INFN.IT)

## ***PROGRAMMA***

### **Prima giornata**

**Ore 9.30** Registrazione Partecipanti

**Ore 10** Apertura Lavori

**Ore 10.15:**

### **Introduzione dell'affidabilità e concetti di base**

Legge di Moore e affidabilità

Effetti dovuti alla riduzione delle dimensioni nei CMOS

La funzione affidabilità e la probabilità di guasto

Il tasso di guasto

Il tempo medio al guasto o tra guasti (MTTF o MTBF)

**Ore 11.15** COFFEE BREAK

**Ore 11.45 :**

### **Le principali funzioni di distribuzione utilizzate nell'analisi di affidabilità**

Modello carico-resistenza

La curva a "vasca da bagno" del tasso di guasto

Distribuzioni dell'affidabilità (esponenziale, di Weibull, normale e lognormale)

L'analisi grafica dei dati

Tasso di guasto e intervallo di confidenza

Stima dei parametri con le carte di affidabilità

**Ore 12.45** DISCUSSIONE

## **Pranzo**

**Ore 14.45**

### **Metodi di previsione ed analisi dei guasti**

Manuali di previsione dell'affidabilità,

MIL-HDBK-217: "Part Stress Analysis"

Albero dei guasti

Meccanismi di guasto (elettromigrazione, rottura degli ossidi, ecc...)

Latch-up dei circuiti CMOS

**Ore 15.45** COFFEE BREAK

**Ore 16.15:**

## **Le prove accelerate**

Scopo delle prove accelerate

Fattori di stress ambientali: Temperatura, Umidità

Fattori di stress elettrici: Tensione, Corrente

Fattori di stress meccanici

Screening e Burn-in

**Ore 17.15** DISCUSSIONE

## **Seconda giornata**

**Ore 10** Apertura Lavori

**Ore 10.15:**

## **L'affidabilità dei sistemi**

Sistema serie e sistema parallelo

Sistemi parallelo-serie, serie-parallelo e sistemi con riserva

Tecniche di ridondanza e sistemi "fault tolerant"

Affidabilità delle schede elettroniche

Meccanismi di guasto (difetti nelle saldature, delaminazione, ecc...)

**Ore 11.15** COFFEE BREAK

**Ore 11.45 :**

## **Layout delle schede per ridurre gli effetti di ESD ed EMI**

Emissione per correnti differenziali e di modo comune

Layout dei PCB per ridurre la suscettibilità alle emissioni irradiate

Emissioni condotte e filtraggio

Tecniche di grounding

Scariche elettrostatiche (ESD)

Protezione dalle scariche elettrostatiche (ESD)

**Ore 12.45** DISCUSSIONE

## **Pranzo**

**Ore 14.45**

### **Progettazione orientata al collaudo**

Design For Testability - DFT

Architettura Boundary Scan e standard JTAG / IEEE Std 1149.1

Autocollaudo con tecnica BIST (Built In Self Test)

Modelli di guasto (Stuck-at 0/1, bridging, ecc...)

Generazione dei vettori di test

**Ore 15.45 COFFEE BREAK**

**Ore 16.15**

### **Effetti delle radiazioni sui circuiti integrati**

Effetti di dose totale

Effetti di singolo evento (SEU, SEL, ecc..)

“Scaling” delle dimensioni e tolleranza alle radiazioni

Tecniche per mitigare gli effetti delle radiazioni

**Ore 17.15 FINE LAVORI E DISCUSSIONE**