



Bus e link veloci per acquisizione dati

Obiettivi

Il corso si propone di illustrare varie tecniche teorico/pratiche per la progettazione e la realizzazione di link e bus ad alta velocità per la trasmissione dati nei sistemi di acquisizione.

Introducendo le problematiche riguardanti la propagazione e l'integrità dei segnali ad alta velocità su rame e su fibra ottica, saranno discussi gli aspetti generali e i vantaggi dei collegamenti seriali. Saranno confrontati vari tipi di bus standard (USB, PCI express, VME, ...) e Gigabit link (Ethernet 1G, Ethernet 10G, InfiniBand, ...). Particolare attenzione sarà rivolta ai protocolli PCI express ed Ethernet nella versione 10 Gb/s, illustrandone sia le caratteristiche che le tecniche di realizzazione con FPGA. A tale scopo si utilizzeranno dei prodotti commerciali (software di sviluppo per FPGA e demo-board) con i quali saranno presentati e approfonditi vari esempi di progettazione hardware e firmware. Infine saranno illustrate alcune tecniche di test e debugging con la relativa strumentazione.

Target

Il corso è rivolto ai dipendenti INFN che hanno attività nel campo dell'elettronica ed hanno interesse ad approfondire le tecniche di progettazione con FPGA di bus veloci e di collegamenti ad alto rate di trasmissione.

Metodologia didattica

Lezioni teoriche con sussidi didattici (audiovisivi, etc.) ed esempi pratici con l'ausilio di software su Personal Computer. Ogni giornata è divisa in due parti in cui la seconda parte sarà prevalentemente a carattere teorico/pratico e dedicata ad esempi e simulazioni con software di sviluppo per FPGA commerciali.

Docenti:

Responsabile del corso è l'Ing.I.D'Antone. I docenti saranno I.D'Antone, I.Lax e R.Travaglini del Centro di Elettronica della Sezione di Bologna.

PROGRAMMA

Prima giornata 26.10.2011

Ore 9:30 Registrazione Partecipanti

Ore 9:50 Apertura Lavori

Ore 10:00

(I.D'Antone)

Propagazione di segnali ad alta velocità su mezzi fisici. Attenuazione e distorsione alle alte frequenze. Caratteristiche dei collegamenti seriali. Segnalazione differenziale in current mode. Parametri S. Integrità dei segnali e diagramma ad occhio. Cause e distribuzioni dei vari tipi di jitter. Bit Error Rate.

Ore 11:00 COFFEE BREAK

Ore 11:30

(I.D'Antone)

Architettura dei SERDES. Metodi di segnalazione. Distorsione e ISI. Tecniche di preenfasi e di equalizzazione. Circuiti per l'estrazione del clock (CDR, Clock Data Recovery). Separazione dei vari tipi di jitter nei SERDES. Jitter Budget.

Ore 12:30 DISCUSSIONE

Pranzo

Ore 14:00

(I.Lax)

Acquisizione dati da PC con bus standard PCI express. Confronto con altri sistemi di acquisizione (USB, PCI, VME, ...). Caratteristiche degli FPGA per implementare il PCI express.

Ore 15:30 COFFEE BREAK

Ore 16:00:

(I.Lax)

Strumenti software per la progettazione e la verifica di applicazioni PCI express su FPGA.

Ore 17:30 DISCUSSIONE

Seconda giornata 27.10.2011

Ore 9:30 Apertura Lavori

Ore 9:40

(I.Lax)

Realizzazione di un progetto completo PCI express su *demo board* con FPGA e verifica dell'integrità dei dati su PC.

Ore 11:00 COFFEE BREAK

Ore 11.30

(I.D'Antone)

Descrizione dei componenti di un collegamento in fibra ottica: trasmettitori, fibre e ricevitori. Parametri che caratterizzano un canale di trasmissione ottico (attenuazione, dispersione modale e cromatica, banda passante, BER, ecc...).

Ore 12.30 DISCUSSIONE

Pranzo

Ore 14:00

(R.Travaglini)

Descrizione di collegamenti ad alto rate con Ethernet 10G. Confronto con altri sistemi di comunicazione *multi-gigabit*. Caratteristiche degli FPGA per realizzare collegamenti Ethernet nella versione 10 Gb/s.

Ore 15:30 COFFEE BREAK

Ore 16:00

(R.Travaglini)

Presentazione del software di sviluppo e realizzazione di applicazioni pratiche Ethernet 10G su *demo board* con FPGA.

Ore 17.30 DISCUSSIONE

Terza giornata 28.10.2011

Ore 9:30 Apertura Lavori

Ore 9:40

(R.Travaglini)

Tecniche di debugging. Strumentazione per il test di bus e link veloci.

Ore 11:00 COFFEE BREAK

Ore 11:30

(R.Travaglini)

Metodi alternativi di progettazione del firmware. Ottimizzazione del processo di sviluppo del firmware mediante la descrizione di algoritmi con linguaggi HDL (HANDEL_C, C++, ecc...) e confronto con VHDL. Utilizzo di microprocessori embedded per la gestione dei link come supporto agli FPGA.

Ore 12:30 FINE LAVORI E DISCUSSIONE

La Segreteria del corso è curata dalla Sig.ra Maria GANGI

Tel. 051- 2095039 _ Fax 051-2095039 _ e-mail Gangim@bo.infn.it